



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出 願 年 月 日
Date of Application:

2001年 1月 9日

出 願 番 号
Application Number:

特願2001-001853

ST.10/C]:

[JP2001-001853]

出 願 人
Applicant(s):

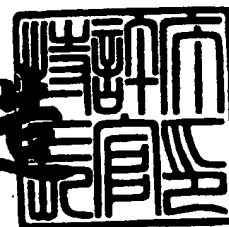
セイコーエプソン株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2002年 2月 1日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2002-3003050

【書類名】 特許願

【整理番号】 J0082500

【提出日】 平成13年 1月 9日

【あて先】 特許庁長官殿

【国際特許分類】 H05B 33/10

【発明者】

 【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

 【氏名】 木村 睦

【特許出願人】

 【識別番号】 000002369

 【氏名又は名称】 セイコーエプソン株式会社

【代理人】

 【識別番号】 100093388

 【弁理士】

 【氏名又は名称】 鈴木 喜三郎

 【連絡先】 0266-52-3139

【選任した代理人】

 【識別番号】 100095728

 【弁理士】

 【氏名又は名称】 上柳 雅誉

【選任した代理人】

 【識別番号】 100107261

 【弁理士】

 【氏名又は名称】 須澤 修

【手数料の表示】

 【予納台帳番号】 013044

 【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9711684

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示装置及びその駆動方法

【特許請求の範囲】

【請求項1】 マトリクス状に画素が配置され、前記画素は複数の副画素を含む表示装置であって、

前記副画素はスタティックランダムアクセスメモリを含むこと、
を特徴とする表示装置。

【請求項2】 請求項1に記載の表示装置において、

前記副画素はオン状態またはオフ状態のいずれかの状態をとること、
を特徴とする表示装置。

【請求項3】 請求項2に記載の表示装置において、

階調は前記画素の最大輝度と前記副画素の合計の輝度との比の関数として設定されていること、

を特徴とする表示装置。

【請求項4】 請求項2に記載の表示装置において、

階調は前記画素の占有する全面積とオン状態にある前記副画素の占有する合計の面積との比の関数として設定されていること、

を特徴とする表示装置。

【請求項5】 請求項1乃至4のいずれかに記載の表示装置において、

前記副画素は液晶表示素子を含むこと、
を特徴とする表示装置。

【請求項6】 請求項1乃至4のいずれかに記載の表示装置において、

前記副画素は有機エレクトロルミネッセンス表示素子を含むこと、
を特徴とする表示装置。

【請求項7】 マトリクス状に画素が配置され、前記画素はスタティックランダムアクセスメモリを有する複数の副画素を含む表示装置の駆動方法であって、

前記副画素をオン状態またはオフ状態のいずれかに制御し、前記画素の全占有面積とオン状態にある前記副画素が占有する合計の面積との比を利用して階調を得ること、

を特徴とする表示装置の駆動方法。

【請求項 8】マトリクス状に画素が配置され、前記画素はスタティックランダムアクセスメモリを有する複数の副画素を含む表示装置の駆動方法であって、

前記副画素をオン状態またはオフ状態のいずれかに制御し、前記画素の最大輝度とオン状態にある副画素の合計の輝度との比を利用して階調を得ること、

を特徴とする表示装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、表示装置、特に、超低消費電力を実現する表示装置及びその駆動方法に関する。

【0002】

【背景技術】

表示装置に対して要求される重要な機能の一つとして、階調表示機能があるが、階調方式としていくつかのものが採用されている。主な階調方式として、(i)画素に与える電流値または電圧値をアナログ的に制御することにより、階調表示を行う方法、(ii)オン状態またはオフ状態のいずれかに画素を構成する副画素の表示状態を制御し、画素内のオン状態にある副画素とオフ状態にある副画素の割合を変化させて階調表示を行ういわゆる面積階調方式、(iii)画素がオン状態にある期間とオフ状態にある期間を変化させることにより階調表示を行う時間階調方式などが挙げられる。

【0003】

【発明が解決しようとする課題】

現在、液晶表示装置や有機エレクトロルミネッセンス表示装置などの表示装置が携帯電話などの携帯用機器に搭載されるようになり、階調表示機能に加えて、表示装置のより低消費電力化や長寿命化が要求されるようになってきている。

【0004】

そこで、本発明の目的は、低消費電力化及び長寿命化を可能にする表示装置を提供することであり、また、低消費電力化及び長寿命化に対応する表示装置の駆

動方法を提供することである。

【 0 0 0 5 】

【課題を解決するための手段】

請求項 1 に記載の表示装置は、マトリクス状に画素が配置され、前記画素は複数の副画素を含む表示装置であって、前記副画素はスタティックランダムアクセスメモリを含むこと、を特徴とする。この表示装置の画素は複数の副画素を含んでいるので、それぞれの副画素の表示状態を制御することにより、階調表示が可能となる。また、この表示装置は副画素にスタティックランダムアクセスメモリを含むため、表示のデータの書き換え時以外は、特に走査信号を副画素に与える必要がないので、走査周波数の低減や走査間引きが可能となり、表示装置の低消費電力化や長寿命化に対して有効な構成を有している。なお、表示装置のスタティックランダムアクセスメモリとしては、通常のスタティックランダムアクセスメモリ以外に擬スタティックランダムアクセスメモリやシンクロナスタティックランダムアクセスメモリなども用いることができる。

【 0 0 0 6 】

請求項 2 に記載の表示装置は、請求項 1 に記載の表示装置において、前記副画素はオン状態またはオフ状態のいずれか状態をとること、を特徴とする。この表示装置の副画素はオフ状態とオン状態の 2 状態以外の状態をとらないので、電気信号などによる表示状態の制御が容易である。

【 0 0 0 7 】

請求項 3 に記載の表示装置は、請求項 2 に記載の表示装置において、階調は前記画素の最大輝度とオン状態にある前記副画素の合計の輝度との比の関数として設定されていること、を特徴とする。オン状態時に所定の輝度を有するそれぞれの副画素をオン状態及びオフ状態の 2 状態のいずれかに制御し、オン状態にある副画素の合計の輝度を、画像信号に応じて変化させて階調表示を行うため、副画素個々に光電特性のばらつきがあっても階調表示を行うことができる。なお、ここで、最大輝度とは画素に含まれる副画素がすべてオン状態である時の合計の輝度である。

【 0 0 0 8 】

請求項4に記載の表示装置は、請求項2に記載の表示装置において、階調は前記画素の占有する全面積とオン状態にある前記副画素の占有する面積と比の関数として設定されていること、を特徴とする。この表示装置は、請求項3に記載の表示装置と同様、副画素個々に光電特性のばらつきがあっても階調表示を行うことができる。

【0009】

請求項5に記載の表示装置は、請求項1乃至4のいずれかに記載の表示装置において、前記副画素は液晶表示素子を含むこと、を特徴とする。この表示装置は、液晶表示素子を表示素子として用いているので、薄型化や軽量化という表示装置に対する要請に対応可能である。

【0010】

請求項6に記載の表示装置は、請求項1乃至4のいずれかに記載の表示装置において、前記副画素は有機エレクトロルミネッセンス表示素子を含むこと、を特徴とする。この表示装置は、表示素子として有機エレクトロルミネッセンス表示素子が用いられているので、薄型化や軽量化に対応可能であり、それに加えて広視野角という特徴を有している。

【0011】

請求項7に記載の表示装置の駆動方法は、マトリクス状に画素が配置され、前記画素はスタティックランダムアクセスメモリを有する複数の副画素を含む表示装置の駆動方法であって、前記副画素をオン状態またはオフ状態のいずれかに制御し、前記画素の全占有面積とオン状態にある前記副画素が占有する面積との比を利用して階調を得ること、を特徴とする。

【0012】

請求項8に記載の表示装置の駆動方法は、マトリクス状に画素が配置され、前記画素はスタティックランダムアクセスメモリを有する複数の副画素を含む表示装置の駆動方法であって、前記副画素をオン状態またはオフ状態のいずれかに制御し、前記画素の最大輝度とオン状態にある副画素の合計輝度との比を利用して階調を得ること、を特徴とする。

【0013】

請求項 7 及び 8 の表示装置の駆動方法では、中間的な階調の表示を行う場合でも、副画素のオン状態またはオフ状態のいずれかの状態のみしか用いていないので、副画素個々に光電特性のばらつきがあっても、階調表示を行うことができる。

【 0 0 1 4 】

【発明の実施の形態】

以下、本発明の好ましい実施例を説明する。以下の実施例では、表示装置は、摂氏600度以下の低温プロセスで形成された多結晶シリコン薄膜トランジスタを備えている。低温多結晶シリコン薄膜トランジスタは、大型で安価なガラス基板上に形成でき、パネル上に駆動回路を内蔵できるので、表示装置製造に適した技術である。また、小サイズでも駆動能力が高く、1画素内にさえ複雑な回路を組み込めるので、面積階調方式や画素ごとのスタティックランダムアクセスメモリに適した技術である。なお、低温多結晶シリコン薄膜トランジスタの代わりに、非晶質シリコン薄膜トランジスタが用いられた表示装置に対しても、本発明の思想は効果がある。また、低温多結晶シリコン薄膜トランジスタの代わりに、薄膜ダイオードが用いられた表示装置に対しても、本発明の思想は効果がある。

【 0 0 1 5 】

（第 1 の実施例）

本発明に係る第 1 の実施例として、1 画素内に反射型液晶表示素子及びスタティックランダムアクセスメモリを有する複数の副画素が配置された表示装置について述べる。図 1 は、この表示装置の画素等価回路図である。ここでは、1 画素のみ図示しているが、実際には、マトリクス状に画素が配置されている。複数の走査線 1 および複数の信号線 2 がマトリクス状に形成されている。各走査線 1 と各信号線 2 の交点には、薄膜トランジスタ 3、スタティックランダムアクセスメモリ 4、反射型液晶表示素子 5 が形成されている。走査線 1 に選択パルスが印加されている間に、信号線 2 に画像信号が印加され、薄膜トランジスタ 3 を通じて、スタティックランダムアクセスメモリ 4 に保持される。反射型液晶表示素子 5 への電圧印加により、光反射が制御される。

【 0 0 1 6 】

本実施例では、CMOSインバータ型のスタティックランダムアクセスメモリ 4 が

用いられているが、デプレッション負荷型、高抵抗多結晶シリコン負荷型など、いかなるスタティックランダムアクセスメモリ4が用いられても、本発明の思想は有効である。

【 0 0 1 7 】

本実施例では階調は2ビットで表されるので、信号線2は低ビットの信号線21と高ビットの信号線22から成る。また、これに対応して、薄膜トランジスタ3も低ビットの薄膜トランジスタ31と高ビットの薄膜トランジスタ32から成り、スタティックランダムアクセスメモリ4も低ビットのスタティックランダムアクセスメモリ41と高ビットのスタティックランダムアクセスメモリ42から成る。さらに、反射型液晶表示素子5も低ビットの反射型液晶表示素子51と高ビットの反射型液晶表示素子52から成る。低ビットの反射型液晶表示素子51と高ビットの反射型液晶表示素子52の面積比は1:2になっている。光反射量は光反射面積に比例するので、光反射量も1:2であり、4階調が得られる。なお、3ビット以上の階調に対しても、本発明の思想は有効である。

【 0 0 1 8 】

図2は、本発明の第1の実施例の薄膜トランジスタの製造工程を示す図である。まず、ガラス基板71上に、 SiH_4 を用いたPECVDや、 Si_2H_6 を用いたLPCVDにより、アモルファスシリコンが成膜される。エキシマレーザー等のレーザー照射や、固相成長により、アモルファスシリコンは再結晶化し、多結晶シリコン72となる(図2(a))。多結晶シリコン72をパターニングした後、ゲート絶縁膜73が成膜され、ゲート電極74が成膜およびパターニングされる(図2(b))。リンやボロンなどの不純物がゲート電極を用いて自己整合的に多結晶シリコン72に打ち込まれ、活性化され、CMOS構造のソース領域およびド레인領域75が、形成される。第1層間絶縁膜76が成膜され、コンタクトホールを開孔し、ソース電極およびド레인電極77が成膜およびパターニングされる(図2(c))。さらに、第2層間絶縁膜78が成膜され、コンタクトホールを開孔し、画素電極79が成膜およびパターニングされる(図2(d))。画素電極79の裏側に、薄膜トランジスタが配置されている。この後、通常の工程により、反射型液晶表示素子が形成される。

【 0 0 1 9 】

本構成によれば、面積階調方式の表示装置に対して、画像が変化したときのみ走査を行うことにより、さらなる低消費電力化および駆動回路の長寿命化が実現できる。また、本構成によれば、反射型液晶表示素子の裏側にスタティックランダムアクセスメモリを配置することができるので、開口率の減少などの問題が発生しない。

【0020】

(第2の実施例)

本発明に係る第2の実施例として、1画素内に有機エレクトロルミネセンス素子及びスタティックランダムアクセスメモリを有する副画素が配置された表示装置について述べる。図3は、この画素等価回路図である。ここでは、1画素のみ図記しているが、実際には、マトリクス状に画素が配置されている。複数の走査線1および複数の信号線2がマトリクス状に形成されている。各走査線1と各信号線2の交点には、薄膜トランジスタ3、スタティックランダムアクセスメモリ4、有機エレクトロルミネセンス表示素子6が形成されている。走査線1に選択パルスが印加されている間に、信号線2に画像信号が印加され、薄膜トランジスタ3を通じて、スタティックランダムアクセスメモリ4に保持される。有機エレクトロルミネセンス表示素子6への電流供給により、発光が制御される。

【0021】

本実施例では、CMOSインバータ型のスタティックランダムアクセスメモリ4が用いられているが、デプレッション負荷型、高抵抗多結晶シリコン負荷型など、いかなるスタティックランダムアクセスメモリ4が用いられても、本発明の思想は有効である。

【0022】

本実施例では階調は2ビットで表されるので、信号線2は低ビットの信号線21と高ビットの信号線22から成る。また、これに対応して、薄膜トランジスタ3も低ビットの薄膜トランジスタ31と高ビットの薄膜トランジスタ32から成り、スタティックランダムアクセスメモリ4も低ビットのスタティックランダムアクセスメモリ41と高ビットのスタティックランダムアクセスメモリ42から成る。さらに、有機エレクトロルミネセンス表示素子6も低ビットの有機エレクトロルミネッ

センス表示素子61と高ビットの有機エレクトロルミネッセンス表示素子62から成る。低ビットの有機エレクトロルミネッセンス表示素子61と高ビットの有機エレクトロルミネッセンス表示素子62の面積比は1:2になっている。発光量は発光面積に比例するので、発光量も1:2であり、4階調が得られる。なお、3ビット以上の階調に対しても、本発明の思想は有効である。

【 0 0 2 3 】

図4は、本発明の第2の実施例の有機エレクトロルミネッセンス素子の製造工程を示す図である。薄膜トランジスタの製造工程については、第1の実施例と同様で、図2に示すとおりである。まず、密着層81が成膜され、発光領域となる部分に開口部が形成される(図4(a))。次に、酸素プラズマや CF_4 プラズマなどのプラズマ処理により、基板表面の濡れ性を制御する。その後、正孔注入層83および発光層84が、スピンコート、スキージ塗り、インクジェットプロセス(T. Shimoda, S. Seki, et al, Dig. SID 99 (1999) 376、S. Kanbe, et al, Proc. Euro Display 99 Late-News Papers (1999) 85)などの液相プロセスや、スパッタ、蒸着などの真空プロセスにより、成膜される。仕事関数が小さくするためにアルカリ金属を含んだ陰極85が、成膜され、封止剤86により封止されて、完成する(図4(b))。密着層81の役割は、基板と層間層82との密着性を向上させ、また、正確な発光面積を得ることである。層間層82の役割は、ゲート電極74やソース電極およびドレイン電極77から陰極85を遠ざけて、寄生容量を低減すること、および、液相プロセスで正孔注入層83や発光層84を形成する際に、表面の濡れ性を制御し、正確なパターニングを実現することである(T. Shimoda, M. Kimura, et al, Proc. Asia Display 98, 217(1998))。

【 0 0 2 4 】

本構成によれば、面積階調方式の表示装置に対して、画像が変化したときのみ走査を行うことにより、さらなる低消費電力化および駆動回路の長寿命化が実現できる。また、本構成によれば、有機エレクトロルミネッセンス表示素子の裏側にスタティックランダムアクセスメモリを配置することができるので、開口率の減少などの問題が発生しない。

【図面の簡単な説明】

【図 1】

本発明に係る第 1 の実施例の画素等価回路図。

【図 2】

本発明に係る第 1 の実施例の薄膜トランジスタの製造工程を示す図。

【図 3】

本発明に係る第 2 の実施例の画素等価回路図。

【図 4】

本発明に係る第 2 の実施例の有機エレクトロルミネッセンス表示素子の製造工程を示す図。

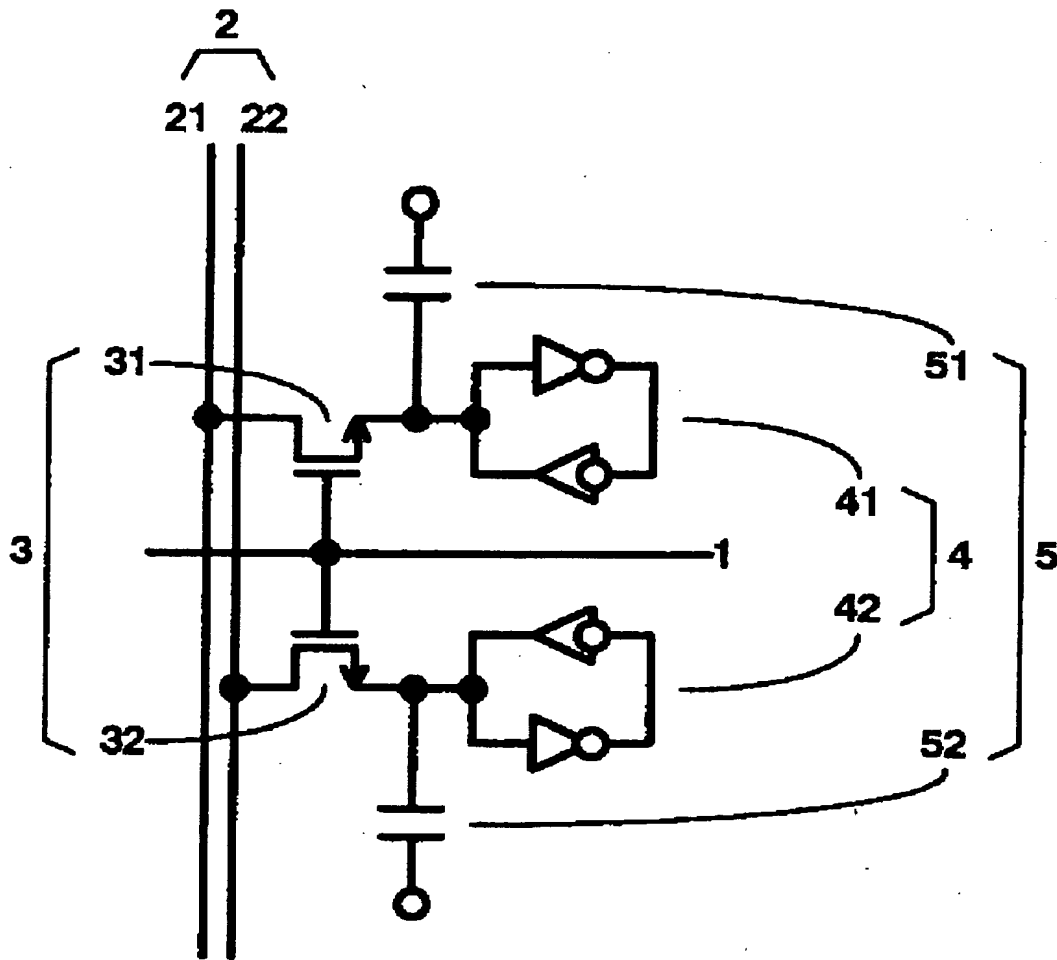
【符号の説明】

- 1 走査線
- 2 信号線
 - 2 1 低ビットの信号線
 - 2 2 高ビットの信号線
- 3 薄膜トランジスタ
 - 3 1 低ビットの薄膜トランジスタ
 - 3 2 高ビットの薄膜トランジスタ
- 4 スタティックランダムアクセスメモリ
 - 4 1 低ビットのスタティックランダムアクセスメモリ
 - 4 2 高ビットのスタティックランダムアクセスメモリ
- 5 反射型液晶表示素子
 - 5 1 低ビットの副反射型液晶表示素子
 - 5 2 高ビットの副反射型液晶表示素子
- 6 有機エレクトロルミネッセンス表示素子
 - 6 1 低ビットの副有機エレクトロルミネッセンス表示素子
 - 6 2 高ビットの副有機エレクトロルミネッセンス表示素子
- 7 1 ガラス基板
- 7 2 多結晶シリコン
- 7 3 ゲート絶縁膜

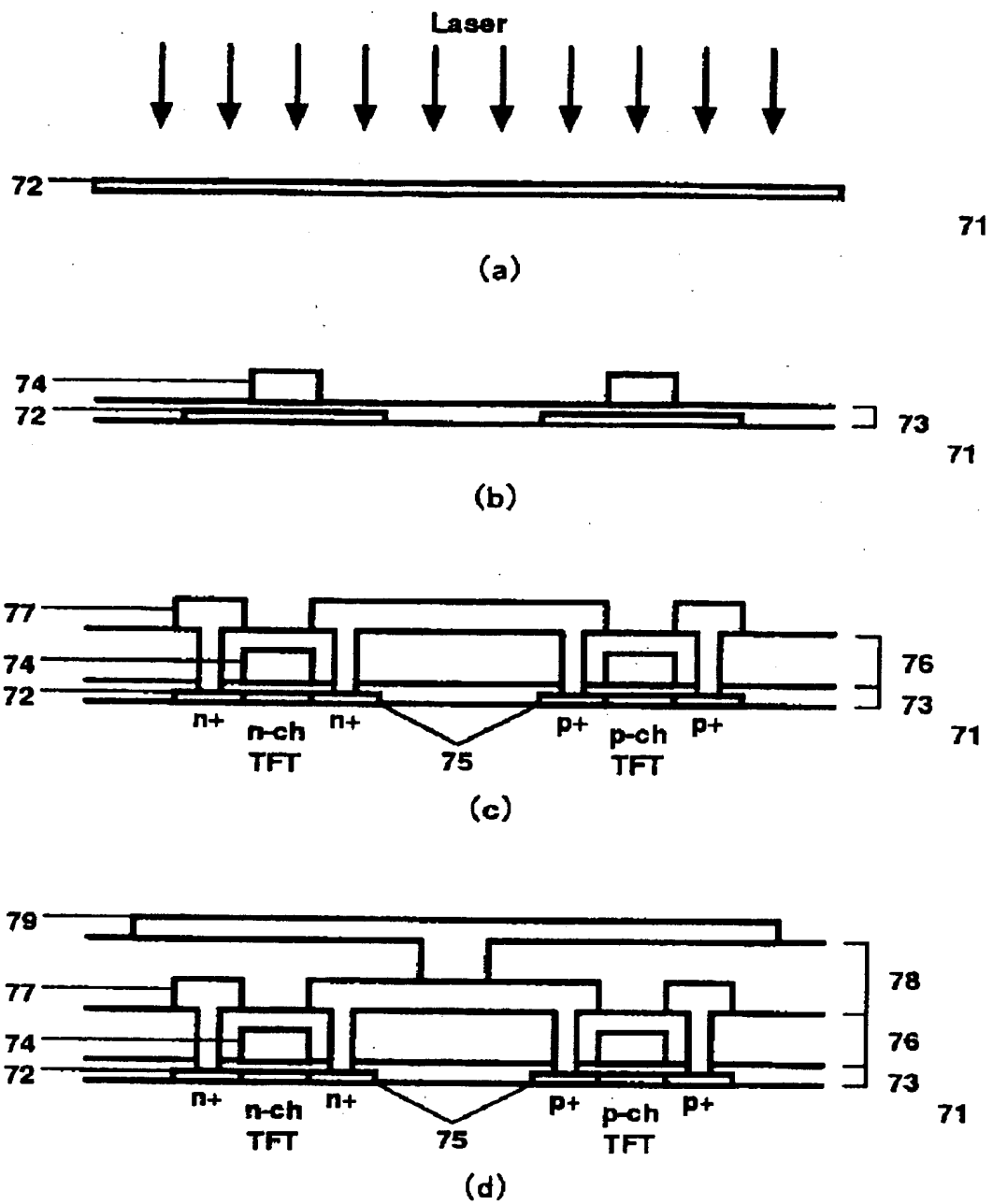
- 7 4 ゲート電極
- 7 5 ソース領域およびドレイン領域
- 7 6 第 1 層間絶縁膜
- 7 7 ソース電極およびドレイン電極
- 7 8 第 2 層間絶縁膜
- 7 9 画素電極
- 8 1 密着層
- 8 2 層間層
- 8 3 正孔注入層
- 8 4 発光層
- 8 5 陰極
- 8 6 封止剤

【書類名】 図面

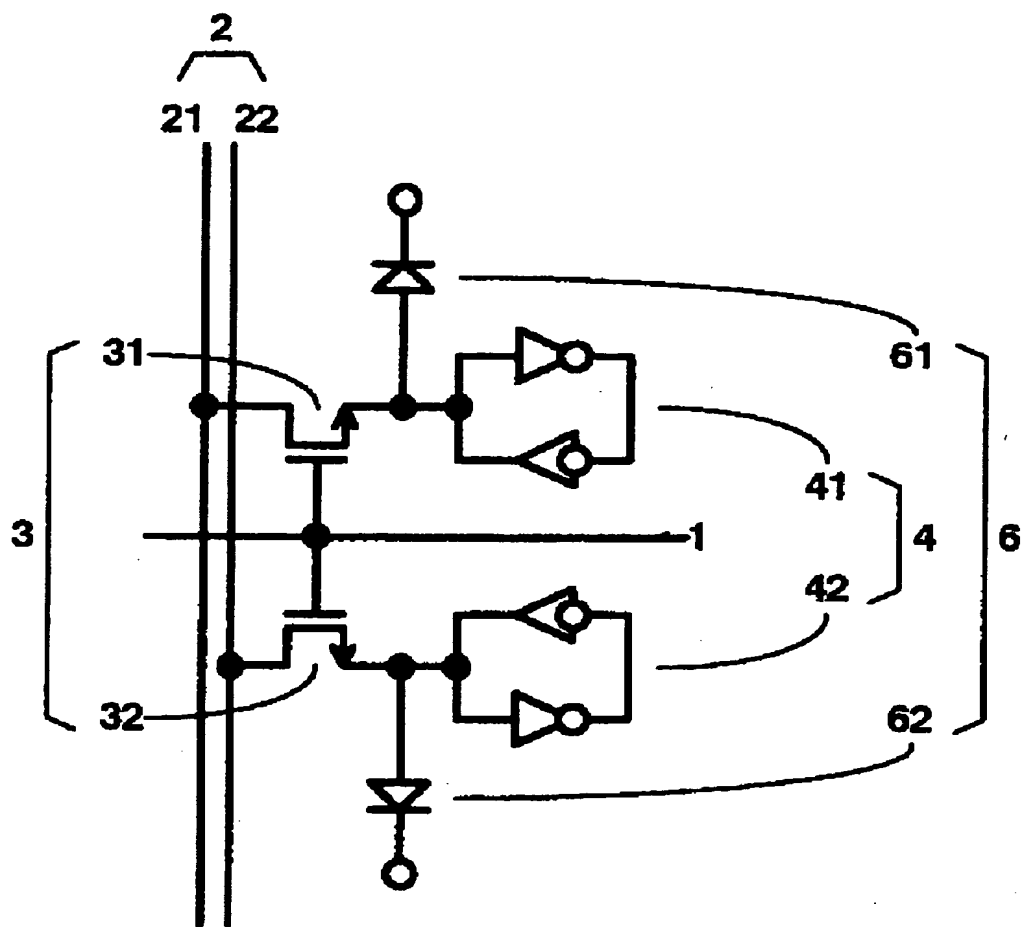
【図 1】



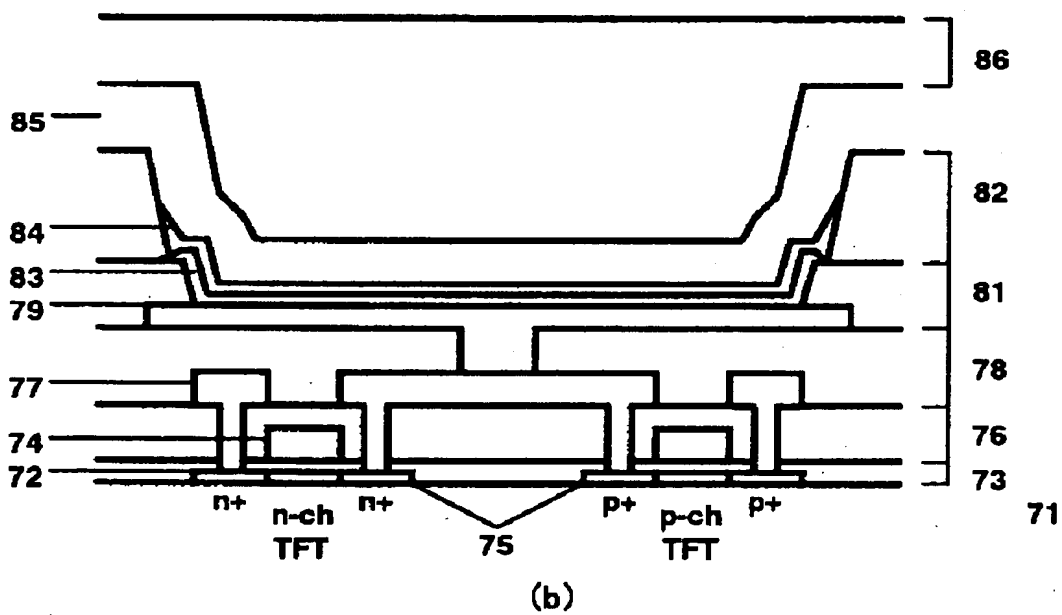
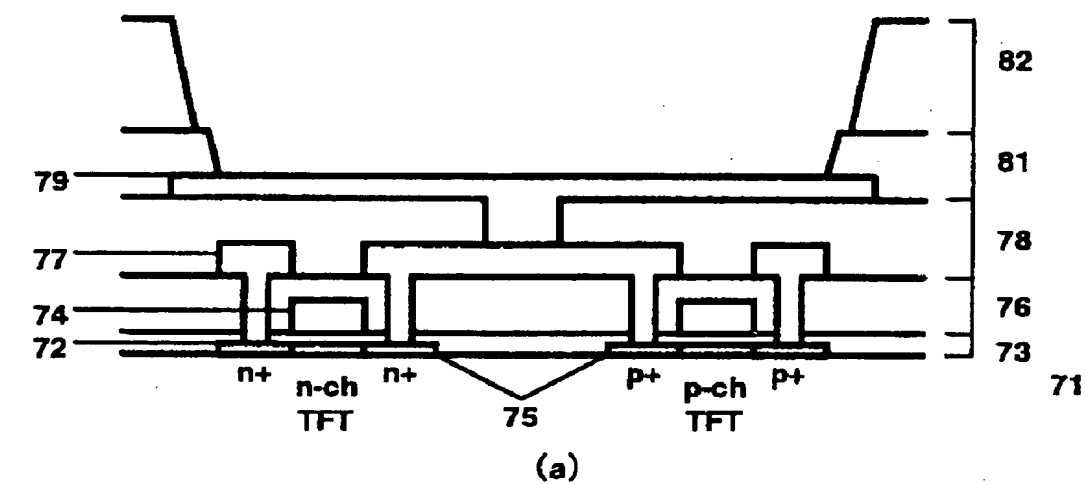
【図 2】



【図 3】



【図4】



【書類名】 要約書

【要約】

【課題】 表示装置における低消費電力化および長寿命化を目的とする。

【解決手段】 液晶表示素子や有機エレクトロルミネッセンス表示素子などの表示素子と、スタティックランダムアクセスメモリとを有する副画素を、表示装置の画素内に配置することにより、階調表示に加えて、低消費電力化及び長寿命化という要請に対応することを可能とする。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日
[変更理由] 新規登録
住 所 東京都新宿区西新宿2丁目4番1号
氏 名 セイコーエプソン株式会社